

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-212134

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

G06F 12/08

G06F 12/08

(21)Application number : 07-017183

(71)Applicant : TOSHIBA CORP

(22)Date of filing :

03.02.1995

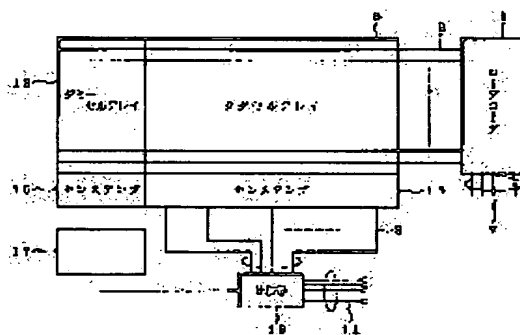
(72)Inventor : KAWASUMI ATSUSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND POWER CONSUMPTION REDUCING METHOD FOR THE SAME

(57)Abstract:

PURPOSE: To provide the semiconductor integrated circuit and power consumption reducing method for the same with which power consumption reduction and high-speed address comparison can be performed.

CONSTITUTION: This circuit is provided with a row decoder 1 for inputting one part of a requested address and activating a prescribed word line 3 corresponding to this input, tag cell array 5 connected through the word line 3 to this row decoder 1 so as to output a prescribed tag address with activation, comparator 19 for comparing the tag address outputted from this tag cell array 5 with a block frame address, dummy cell array 13 formed simultaneously with the tag cell array 5 so as to output data by activating the prescribed word line 3, and comparator activating signal generator 17 for generating the activating signal of the comparator 19 at the timing of output. Corresponding to the activating signal, the comparator 19 judges whether comparing the tag address with the block frame address or not.



LEGAL STATUS

[Date of request for examination] 02.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3461947

[Date of registration] 15.08.2003

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-212134

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶

G 0 6 F 12/08

識別記号

庁内整理番号

F I

技術表示箇所

E 7623-5B

3 1 0 Z 7623-5B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平7-17183

(22) 出願日 平成7年(1995)2月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川澄 篤

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

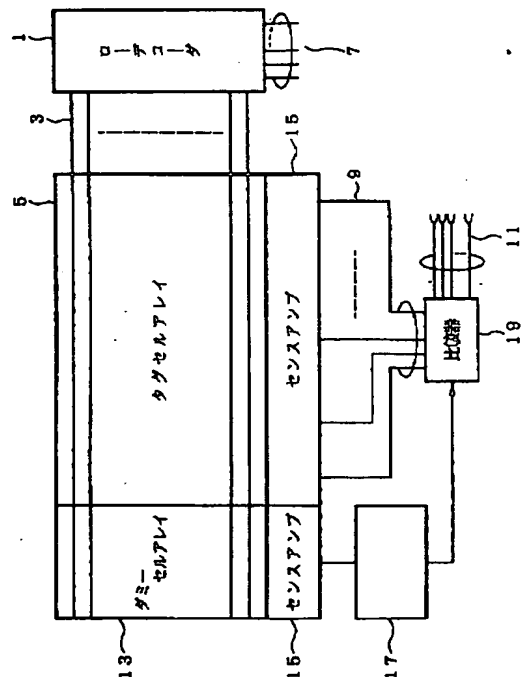
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体集積回路及び半導体集積回路の消費電力低減方法

(57) 【要約】

【目的】 低消費電力かつ高速なアドレス比較をすることができる半導体集積回路及び半導体集積回路の消費電力低減方法を提供することを目的とする。

【構成】 要求されたアドレスの一部を入力し、この入力により所定のワード線3を活性化させるローデコーダ1と、このローデコーダ1とワード線3により接続され、前記活性化により所定のタグアドレスを出力するタグセルアレイ5と、このタグセルアレイ5が出力するタグアドレスとブロックフレームアドレスとを比較する比較器19と、前記タグセルアレイ5と同時に形成され、所定のワード線3の活性化によりデータの出力を行うデータセルアレイ13と、前記出力のタイミングにより前記比較器19の活性化信号を発生する比較器活性化信号発生器17とを具備し、前記比較器19は、前記活性化信号により前記タグアドレスとアドレスとブロックフレームアドレスとの比較をするか否かを判断するようにしてある



1

【特許請求の範囲】

【請求項1】 タグセルアレイに格納されたタグアドレスとブロックフレームアドレスとを比較し、これらのアドレスが一致したときにヒット信号を出力する比較器と、

前記タグセルアレイと同時に形成されたダミーセルとを有し、

前記比較器の活性化するか否かの信号を前記ダミーセルの読み出しデータを用いて生成することを特徴とする半導体集積回路。

【請求項2】 要求されたアドレスの一部を入力し、この入力により所定のワード線を活性化させるローデコーダと、

このローデコーダとワード線により接続され、前記活性化により所定のタグアドレスを出力するタグセルアレイと、

このタグセルアレイが出力するタグアドレスとブロックフレームアドレスとを比較する比較器と、

前記タグセルアレイと同時に形成され、所定のワード線の活性化によりデータの出力を行うダミーセルアレイと、

前記出力のタイミングにより前記比較器の活性化信号を発生する比較器活性化信号発生器とを具備し、

前記比較器は、前記活性化信号により前記タグアドレスとブロックフレームアドレスとの比較をするか否かを決定することを特徴とする半導体集積回路。

【請求項3】 タグセルアレイに格納されたタグアドレスとブロックフレームアドレスとを比較し、これらのアドレスが一致したときにヒット信号を出力する比較器を用い、この比較器が行う比較を活性化信号にて中断することにより半導体集積回路の消費電力を低減する方法において、

前記タグセルアレイと同時に形成されたダミーセルを設け、

このダミーセルの読み出しデータにより前記活性化信号を生成し、

この生成された前記活性化信号を用いて前記比較器の比較を中断することを特徴とする半導体集積回路の消費電力低減方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に関し、特に低消費電力で高速なアドレスの比較をすることができる半導体集積回路に関するものである。

【0002】

【従来の技術】 半導体集積回路、特にキャッシュメモリは、CPUの処理能力の飛躍的な向上に伴い、その高速性が要求されている。図3に一般的なキャッシュメモリを備えたコンピュータシステムを示し、一般的なキャッシュメモリの役割を説明する。このコンピュータシステム

2

はCPU21と、キャッシュメモリ23と、メインメモリ25とを備えており、これらはアドレスバス33及びデータバス35にそれぞれ接続され、各種の入出力を行う。CPU21が所望のデータを要求した場合に、まず、このデータがキャッシュメモリ23に格納されているか否かを確認する。この確認には、タグアドレス（そのデータが格納されていたメインメモリのアドレス）が格納されたタグキャッシュ27にアクセスし、要求されたアドレスとの比較を比較部29にて行う。比較が一致している場合にのみデータキャッシュ31へのアクセスを実行する。不一致の場合にはキャッシュの更新とメインメモリ25へのアクセスが行われる。

【0003】 しかしながら、従来のキャッシュメモリは、タグアドレスとブロックフレームアドレスの比較の際に、連続して2つのアドレスが一致するとき等の場合であっても入力タイミングのずれによって比較の動作（ヒットチェック）を行ってしまう。この例を図5(a)を用いて説明する。ブロックフレームアドレス、及びタグアドレスが共に低電位(L)のときにはヒット信号は一致しているため高電位(H)の状態になっている（図中の状態I）。ここで、例えばブロックフレームアドレス、及びタグアドレスの状態遷移のタイミングがずれて、ブロックフレームアドレスが先に状態が遷移した場合には、連続して2つのアドレスが一致するときでも、ヒット信号が不一致の状態を示す低電位(L)を示すことになる（図中の状態II）。次に、遅れてタグアドレスの状態が遷移した場合には再びヒット信号が一致の状態を示す高電位(H)を示すことになる（図中の状態III）。すなわち、2回のヒットチェックを行ってしまうことになる。従って、このヒットチェックによる比較部29の不必要な動作により消費電力を消費してしまうという問題点があった。

【0004】 そこで、従来からキャッシュメモリは図4に示す如く構成により上記問題点を回避していた。以下、この内容を説明する。図示しないCPUが要求したアドレスの一部（インデックスフレームアドレス）をローデコーダ1が入力し、所定のタグアドレスが格納されたタグセルアレイ5を検索する。この検索には、ローデコーダ1により該当するワード線3を活性化させ、所定のタグアドレスをセンスアンプ15を経由して比較器19に出力する。また、この比較器19はCPUが要求したアドレスの他の一部（ブロックフレームアドレス）も入力し、このブロックフレームアドレスと、出力された所定のタグアドレスと比較を行う。一致している場合には、図示しないデータキャッシュメモリへのアクセスを実行する。また、不一致の場合には、キャッシュの更新とメインメモリへのアクセスが行われる。

【0005】 ここで、この従来のキャッシュメモリは比較器19が動作（活性化）しないようにするために比較器活性化信号発生回路37を設け、この比較器活性化信

3

号発生回路37が出力する活性化信号により比較動作をするか否かを決定するようにしていた。この内容を図5(b)を用いて説明する。図5(b)に示す通り、ブロックフレームアドレス、及びタグアドレスが共に低電位(L)のときにはヒット信号は一致しているため高電位(H)の状態になっている(図中の状態I)。ここで、例えばブロックフレームアドレス、及びタグアドレスの状態遷移のタイミングがずれて、ブロックフレームアドレスが先に状態が遷移した場合には、比較器19が活性化するのを回避すべく、比較器活性化信号を低電位(L)にする。これにより、比較器が活性化されないため、ヒット信号には変化が見られない(図中の状態III)。次に、遅れてタグアドレスの状態が遷移するので、結局、非活性化信号が低電位である期間は、(先に状態遷移するアドレスのマージン(図中の状態I)) + (ブロックフレームアドレス、及びタグアドレスの状態遷移のタイミングがずれている期間(図中の状態III)) + (後に状態遷移するアドレスのマージン(図中の状態IV))ということになる。以上のように、タグアドレスとブロックフレームアドレスが変化する期間には、比較器を非活性化させて消費電力を低減させている。

【0006】

【発明が解決しようとする課題】従来のキャッシュメモリは、アドレスが変化している期間比較器を非活性化することにより消費電力を低減させているが、前述した後に状態遷移するアドレスのマージン(図中の状態IV)の幅の決定については問題がある。即ち、比較器を活性化するタイミングが早すぎると(図中の状態IVを短くしすぎると)消費電力が節約できず、また、活性化するタイミングが遅すぎると(図中の状態IVを長くしすぎると)ヒットチェックの出力が遅くなってしまい、高速化を図る妨げとなる。このタイミングは、電源電圧依存性、プロセス依存性、及び温度依存性等を有し、これらが複雑に関係するため、適当なタイミングマージンを決定することは非常に難しい。特に、セルには微細なトランジスタを用いているのでプロセスのばらつきに対するタグアドレスの読み出し時間のばらつきは、無視できない。従って、設計段階で予め大きなマージンを取る必要があるため、高速化の妨げとなっているのが現状である。

【0007】本発明は上記事情を鑑みてなされたものであり、その目的とするところは、アドレスの比較器を活性化する信号を必要かつ十分なタイミングマージンで発生させることにより、低消費電力かつ高速なアドレス比較をすることができる半導体集積回路及び半導体集積回路の消費電力低減方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明に係る半導体集積回路の第1の構成では、タグセルアレイに格納されたタグアドレスとブロックフレーム

4

アドレスとを比較し、これらのアドレスが一致したときにヒット信号を出力する比較器と、前記タグセルアレイと同時に形成されたダミーセルとを有し、前記比較器の活性化するか否かの信号を前記ダミーセルの読み出しデータを用いて生成することを特徴とする。

【0009】また、本発明に係る半導体集積回路の第2の構成では、要求されたアドレスの一部を入力し、この入力により所定のワード線を活性化させるローデコーダと、このローデコーダとワード線により接続され、前記活性化により所定のタグアドレスを出力するタグセルアレイと、このタグセルアレイが出力するタグアドレスとブロックフレームアドレスとを比較する比較器と、前記タグセルアレイと同時に形成され、所定のワード線の活性化によりデータの出力を行うダミーセルアレイと、前記出力のタイミングにより前記比較器の活性化信号を発生する比較器活性化信号発生器とを具備し、前記比較器は、前記活性化信号により前記タグアドレスとブロックフレームアドレスとの比較をするか否かを決定することを特徴とする。

【0010】さらに上記目的を達成するため、本発明に係る半導体集積回路の消費電力低減方法の特徴は、タグセルアレイに格納されたタグアドレスとブロックフレームアドレスとを比較し、これらのアドレスが一致したときにヒット信号を出力する比較器を用い、この比較器が行う比較を活性化信号にて中断することにより半導体集積回路の消費電力を低減する方法において、前記タグセルアレイと同時に形成されたダミーセルを設け、このダミーセルの読み出しデータにより前記活性化信号を生成し、この生成された前記活性化信号を用いて前記比較器の比較を中断することである。

【0011】

【作用】本発明では、タグアドレスを読み出すときに、同時にダミーセルのデータも読み出されるようにしてある。このダミーセルは、タグセルアレイの形成時に同時に形成されているので、タグアドレスの読み出しとほぼ同じ時間がかかり、その時間の電源電圧依存性、プロセスのばらつきに対する依存性も同じである。従って、ダミーセルから読み出したデータを用いて比較器活性化信号を生成すれば、電源電圧の変動やプロセスのばらつきがあったとしても、タイミングマージンが保存されることになる。これにより、設計時に、過剰なタイミングマージンを取る必要がなくなり、比較器を活性化・非活性化することによって起きる比較スピードの低下を抑えることができるのである。

【0012】

【実施例】本発明に係る半導体集積回路の実施例を図面を参照して説明する。まず、図1を用いて説明することにする。

【0013】この半導体集積回路は、図示しないCPUが要求したアドレスの一部(インデックスフレームアド

5

レス)を入力し、この入力により所定のワード線を活性化させるローデコーダ1と、このローデコーダ1とワード線3により接続され、前記活性化により所定のタグアドレスを出力するタグセルアレイ5と、このタグセルアレイ5が出力するタグアドレスとブロックフレームアドレスとを比較する比較器19とを備えている。ここで、本発明に係る半導体集積回路は、更に、タグセルアレイ5と同一のワード線に接続されたダミーセル13を備えている。従って、ローデコーダ1により所定のワード線を活性化した場合には、同時にダミーセル13に格納されたデータも出力できるようにしてある。

【0014】ここで、ダミーセル13は、タグセルアレイ5と同一プロセスで作成されているため、タグセルアレイ5と同様の電源電圧依存性、プロセス依存性、及び温度依存性を有している。また、本実施例では、図2のように読み出すデータを高電位(H)を出力するように固定しているものとする。

【0015】次に、この半導体集積回路の動作について説明する。図示しないCPUが要求したアドレスの一部(インデックスフレームアドレス)をローデコーダ1がインデックス入力線7より入力し、所定のタグアドレスが格納されたタグセルアレイ5を検索する。この検索には、ローデコーダ1により該当するワード線3を活性化させ、所定のタグアドレスを読み出し、センスアンプ15を経由して比較器19に出力する。

【0016】CPUはタグセルアレイ5が出力したタグアドレス及びCPUが要求したアドレスの他の一部(ブロックフレームアドレス)を入力し、これらの比較を行う。比較の結果、一致している場合には、図示しないデータキャッシュメモリのアクセスを実行する。また、不一致の場合には、キャッシュの更新とメインメモリへのアクセスが行われる。

【0017】一方、タグセルアレイ5がタグアドレスを検索する際には、同時にダミーセル13のデータも読み出され、比較器活性化信号発生器17に入力される。比較器活性化信号発生器17は、ダミーセル13の出力タイミングを用いて比較器活性化信号を生成し、比較器19に出力する。比較器19は比較器活性化信号により比較動作を行うか否かを判断する。これにより、ブロックフレームアドレスとタグアドレスの入力のタイミングの相違があっても、比較器19は動作しないため、消費電力を低減することができる。

【0018】以上のように、ダミーセルから読み出したデータから比較器活性化信号を生成すれば、電源電圧の変動やプロセスのばらつきがあったとしても、タイミ

6

ンクマージンが保存される。これにより、設計時に、過剰なタイミングマージンを取る必要がなくなり、比較器を活性化・非活性化することによって起きる比較スピードの低下を抑えることができる。これにより低消費電力で、かつ、高速な比較を行なうことが可能となる。

【0019】なお、上述した実施例においては、ダミーセルを同一のワード線により接続したが、他の実施例としては、各ワード線を活性化する際に必ず活性化するワード線を設け、そのワード線によりダミーセルを活性化させるようにして、このダミーセルの出力を比較器活性化回路に用いてもよい。

【0020】

【発明の効果】以上説明したように、本発明によれば、ダミーセルのデータを用いて比較器活性化信号を生成しているため、低消費電力で、かつ、高速な比較を行なうことができる半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の平面図を示した図である。

【図2】ダミーセルの例を示した図である。

【図3】一般的なコンピュータシステムの動作を説明するために用いたブロック図である。

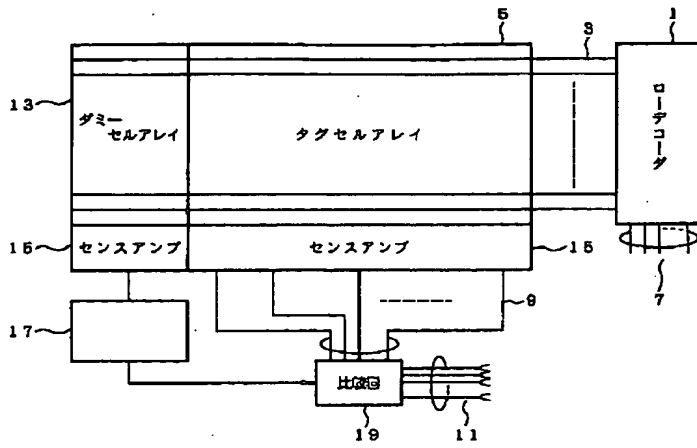
【図4】従来の半導体集積回路を示した図である。

【図5】従来技術のタイミングチャートを説明するための図である。

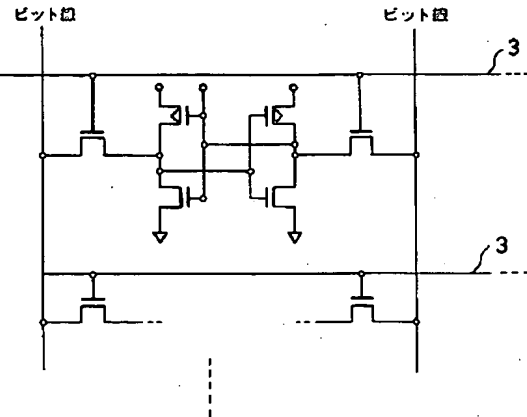
【符号の説明】

- 1 ローデコーダ
- 3 ワード線
- 5 タグセルアレイ
- 7 インデックス入力線
- 9 タグアドレス入力線
- 11 ブロックアドレス入力線
- 13 ダミーセルアレイ
- 15 センスアンプ
- 17 比較器活性化信号発生器
- 19 比較器
- 21 CPU
- 23 キャッシュメモリ
- 25 メインメモリ
- 27 タグキャッシュ
- 29 比較部
- 31 データキャッシュ
- 33 アドレスバス
- 35 データバス
- 37 比較器活性化信号発生回路

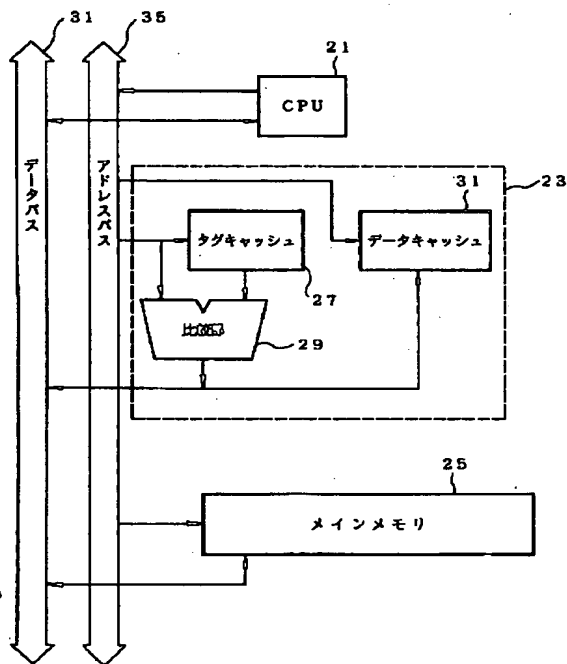
【図1】



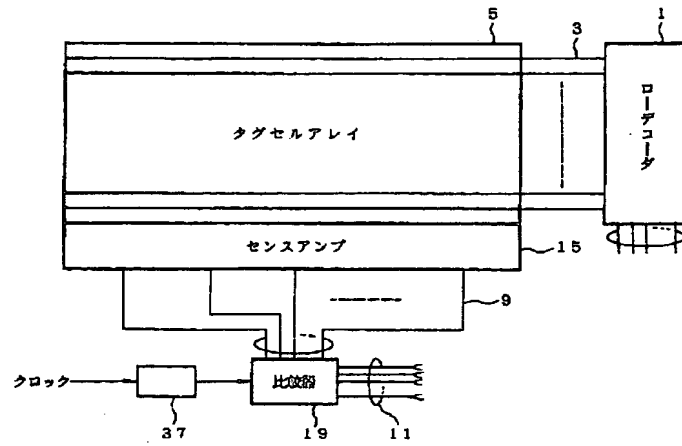
【図2】



【図3】



【図4】



【図5】

